

DIALOG(R) File 352:DERWENT WPI
(c)1999 Derwent Info Ltd. All rts. reserv.

010460891

WPI Acc No: 95-362210/199547

XRAM Acc No: C95-157845

XRPX Acc No: N95-268681

Thin film type semiconductor element for LCD device - involves formation of polycrystalline thin film whose surface is uneven

Patent Assignee: GTC KK (GTCG-N)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
-----------	------	------	-------------	------	------	----------	------

JP 7235491	A	19950905	JP 9451175	A	19940224	H01L-021/20	199547 B
------------	---	----------	------------	---	----------	-------------	----------

Priority Applications (No Type Date): JP 9451175 A 19940224

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
--------	------	-----	----	--------------	-------------	--------

JP 7235491	A		7			
------------	---	--	---	--	--	--

Abstract (Basic): JP 7235491 A

The semiconductor element consists of an insulated substrate (1) over which an amorphous silicon film is deposited. This amorphous silicon film is subjected to heat treatment and consequently gets transformed into a polysilicon crystalline film (2). The silicon film is furnished with an uneven surface, having multiple concave convex shapes (2a, 2b) arranged alternatively. Tilt angle theta of the concave convex portion is made to centre around 9.6 degree. Consequently, film with high field effect mobility in the range of 50-150 cm²/V is obtained.

ADVANTAGE - Obtains polysilicon film with very high yield effect mobility.

Dwg.1/9

Title Terms: THIN; FILM; TYPE; SEMICONDUCTOR; ELEMENT; LCD; DEVICE; FORMATION; POLYCRYSTALLINE; THIN; FILM; SURFACE; UNEVEN

Derwent Class: L03; U12; U14

International Patent Class (Main): H01L-021/20

International Patent Class (Additional): H01L-021/268; H01L-021/336; H01L-029/786

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

04942891 **Image available**

THIN FILM SEMICONDUCTOR ELEMENT AND MANUFACTURE THEREOF

PUB. NO.: 07-235491 [JP 7235491 A]

PUBLISHED: September 05, 1995 (19950905)

INVENTOR(s): INUSHIMA TAKASHI

KUBO NOBUO

APPLICANT(s): G T C KK [000000] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 06-051175 [JP 9451175]

FILED: February 24, 1994 (19940224)

INTL CLASS: [6] H01L-021/20; H01L-021/268; H01L-029/786; H01L-
021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.9
(COMMUNICATION -- Other)

JAPIO KEYWORD:R002 (LASERS); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC
MATERIALS -- Glass Conductors)

ABSTRACT

PURPOSE: To provide a polysilicon film, comprising a thin film semiconductor element for use in liquid crystal displays, with a high field effect mobility (μ_{FE}).

CONSTITUTION: An amorphous silicon film is crystallized by heating and turned into a polysilicon film 2. In this process the heating energy is so adjusted that projections and recesses will be formed on its surface 2a. The inclination angle (θ) of the recesses and projections on the surface is controlled to the range of 4.8-30 deg.C with 9.6 deg. taken as the center. This obtains a XFE of 50-150cm(sup 2)/V.sec or above.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-235491

(43) 公開日 平成7年(1995)9月5日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20		8418-4M		
21/268	Z			
29/786				
21/336				
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 Y
			審査請求 有	請求項の数7 F D (全 7 頁)

(21) 出願番号 特願平6-51175

(22) 出願日 平成6年(1994)2月24日

(71) 出願人 390028004

株式会社ジーティシー

東京都中央区東日本橋1丁目6番5号

(72) 発明者 犬島 喬

東京都中央区東日本橋1-6-5 株式会
社ジーティシー内

(72) 発明者 久保 伸夫

東京都中央区東日本橋1-6-5 株式会
社ジーティシー内

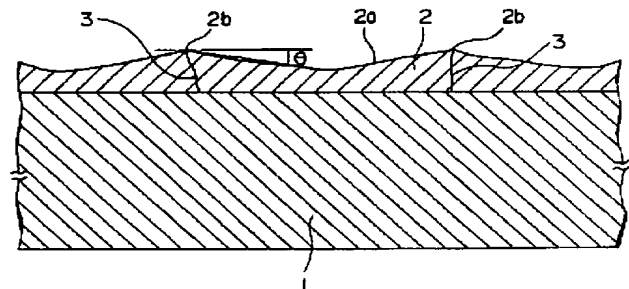
(74) 代理人 弁理士 志賀 正武 (外2名)

(54) 【発明の名称】 薄膜半導体素子およびその製法

(57) 【要約】

【目的】 液晶ディスプレイ装置などに用いられる薄膜半導体素子を構成するポリシリコン膜に高い電界効果移動度 ($\mu F E$) を付与する。

【構成】 アモルファスシリコン膜を加熱して結晶化させてポリシリコン膜2とする際に、加熱エネルギーを調節し、表面2aに凹凸形状を有するようにする。表面の凹凸の傾斜角 (θ) を9.6度を中心とし、4.8~30度の範囲にすれば、50~150 $\text{cm}^2 / \text{V} \cdot \text{sec}$ あるいはこれ以上の高い $\mu F E$ が得られる。



【特許請求の範囲】

【請求項1】 絶縁基材上に形成されたアモルファスシリコン膜を加熱して結晶化した多結晶シリコン膜からなり、この多結晶シリコン膜の表面が凹凸を有する薄膜半導体素子。

【請求項2】 絶縁基材上に形成されたアモルファスシリコン膜を加熱して結晶化した多結晶シリコン膜からなり、この多結晶シリコン膜の表面が凹凸を有し、そのラマン強度が単結晶シリコンのラマン強度をこえる薄膜半導体素子。

【請求項3】 絶縁基材上に形成されたアモルファスシリコン膜を加熱して結晶化した多結晶シリコン膜からなり、この多結晶シリコン膜の表面のラマン強度が、単結晶シリコンのラマン強度以上である薄膜半導体素子。

【請求項4】 絶縁基材上に形成されたアモルファスシリコン膜をレーザ照射により結晶化した多結晶シリコン膜からなり、この多結晶シリコン膜の表面が凹凸を有する薄膜半導体素子。

【請求項5】 請求項1ないし4のいずれかにおいて、多結晶シリコン膜の表面と基材表面とのなす傾斜角が、 9.6° を中心として 4.8° 以上 30° 以下である薄膜半導体素子。

【請求項6】 絶縁基材上に形成されたアモルファスシリコン膜を加熱して結晶化した多結晶シリコン膜を作製する工程において、その表面の凹凸の傾斜角をラマン強度から求め、この1次ラマン線の強度をプロセスモニターとして使用することを特徴とする薄膜半導体の製法。

【請求項7】 絶縁基材上に形成されたアモルファスシリコン膜を加熱して結晶化した多結晶シリコン膜を作製する工程において、その表面の凹凸の傾斜角および結晶性をラマン強度から求め、ラマン強度が最大になるような条件で作製することを特徴とする薄膜半導体の製法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶ディスプレイ装置などに用いられる薄膜半導体素子とその製法に関する。

【0002】

【従来の技術】 現在、液晶ディスプレイ等の表示装置において用いられる薄膜半導体素子は、アモルファスシリコン薄膜あるいはポリシリコン薄膜から構成されており、薄膜半導体素子の電界効果移動度（以下、 μFE と記す。）は薄膜半導体素子構成材料に依存するが、アモルファスシリコンの μFE は $0.1 \sim 1 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 程度と小さく、その応用範囲は限定される。このアモルファスシリコンから構成される薄膜半導体素子の μFE が小さい理由は、主にダングリングボンド（シリコン原子の不對電子対）がアモルファスシリコン中に多量に存在するためである。よって、薄膜半導体素子を構成するシリコン薄膜がアモルファス状態であるかぎり薄膜半導体素子の μFE を向上させることは困難であると

考えられる。

【0003】 一方、 600°C 以上の固相成長法によるポリシリコンによって $40 \text{ cm}^2 / \text{V} \cdot \text{sec}$ を越える μFE を有する薄膜半導体素子が製造可能であることが報告されている（S. Morozumi 等, SID'84 Digest p312）。しかしながら、従来の固相成長法では、 30° 角程度の基板上にしか形成することができなく、かつ基板の縮みの問題から大面積かつ高画素表示装置用の薄膜半導体素子を製造する場合には利用することができないという不都合があった。

【0004】 このような問題を解決する方法として、大面積で製膜可能なアモルファスシリコン薄膜表面を熱アニール処理し結晶化させることによって μFE の向上を計ることが試みられている。この方法はガラス基板等を使用できる 600°C 以下で薄膜半導体素子を製造する際に現在広く使用されている方法であるが、この方法にあっては、 $50 \text{ cm}^2 / \text{V} \cdot \text{sec}$ を越える μFE をもつ薄膜半導体素子を得ることが困難であるという不都合があった。

【0005】

【発明が解決しようとする課題】 よって、本発明の課題は、 μFE が $50 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 以上の高移動度を有する薄膜半導体素子を得ることにある。

【0006】

【課題を解決するための手段】 かかる課題は、アモルファスシリコン膜を加熱して結晶化した多結晶シリコン膜の表面を凹凸状とすることで解決される。そして、その表面の傾斜角を 9.6° を中心として $4.8 \sim 30^\circ$ の範囲とすることでより一層高い μFE が得られる。さらに、この傾斜角は多結晶シリコン膜の一次ラマン線の強度測定から求められるので、一次ラマン線の強度測定をプロセスモニターとして使用すれば、 μFE の高い凹凸のある多結晶シリコン膜を製造することができる。

【0007】 以下、本発明を詳しく説明する。図1は、本発明の薄膜半導体素子の一例を模式的に示した断面図であり、図中符号1はガラス、石英ガラス、セラミックスなどからなる絶縁基板である。この絶縁基板1上には、多結晶シリコン膜（以下、P-Si膜と記す。）2が形成されている。このP-Si膜2は、その表面2aが図1にあるように平坦ではなく、凹凸状となっている。図中符号3はP-Si膜2の各結晶の粒界を示すものであり、表面2aの凹凸の各凸部2b…が結晶粒界3…上に位置している。

【0008】 そして、この表面2aの凸部2bと基板1の表面とのなす傾斜角（図中、 θ で示す。）は 9.6° を中心として $4.8 \sim 30^\circ$ となっている。この傾斜角が 9.6° の凹凸は、ほぼ底の直径が 600 nm で、高さが 50 nm の円錐が多数集まって形成された状態に相当する。また、傾斜角が 4.8° 未満であれば μFE が $50 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 未満となって、本発明の目的であ

る高移動度を得ることができない。また、傾斜角が30度を越えると、移動度は高くなるもののP-Si膜2の表面の荒れが生じ、実用上不都合が生じるとともにP-Si膜2面内での $\mu F E$ の均一性が低下することになる。

【0009】このような表面形状を有するP-Si膜2にあつては $\mu F E$ が $50 \sim 150 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 、あるいはそれ以上の値を有し、極めて高い電界効果移動度を有するものとなる。以下に、その根拠を説明する。

【0010】本発明者等は、先にポリシリコン膜の $\mu F E$ などの特性を評価する手法としてラマン散乱法を利用することを提案し、特許出願している（特願平3-84636号）。この評価方法は、上記先願明細書に記載されているように、ポリシリコン膜のラマン分光法によって得られるラマンシフト、シリコンの光学フォノンの半値幅比および 519 cm^{-1} のラマンピークと 480 cm^{-1} のラマンピークとの強度比（ I_c / I_a ）のいずれかがポリシリコン膜の $\mu F E$ と一義的に関係し、これら3個のパラメータのいずれかを求めれば、そのポリシリコン膜の $\mu F E$ を知ることができるものである。

【0011】図2はポリシリコン膜の $\mu F E$ とラマンシフトとの関係を示し、図3は同じく $\mu F E$ と半値幅比との関係を、図4は同じく $\mu F E$ と強度比（ I_c / I_a ）との関係を示したものである。これらグラフから明らかに、ラマン分光スペクトルを測定することでそのポリシリコン膜の $\mu F E$ を一義的に求めることができるのである。

【0012】この先願発明の教示に基づいて、図1に示したP-Si膜2の $\mu F E$ およびラマン強度（結晶シリコン対比）と傾斜角との関係を求めて示したのが図5であり、このグラフから、傾斜角が 9.6 ± 4.8 度の範囲で、 $50 \sim 150 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の値をとっていることがわかる。勿論、傾斜角が 14.4 度を越えると、 $\mu F E$ が $150 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 以上となることも確かめられている。

【0013】この図5のグラフにおいて注目すべき点は、傾斜角が 9.6 度以上では、そのラマン強度が結晶シリコンでのラマン強度を越えているところである。この理由は、P-Si膜の表面でラマン強度を増大させる何かが生じているためである。通常、ラマン強度は、プローブ光のレーザ光の散乱体積に比例することが知られている。一般のポリシリコンの吸収係数は、 $4 \times 10^4 \text{ cm}^{-1}$ 程度（ 488 nm ）であるから、厚さ 50 nm のポリシリコンのラマン強度は、同じ厚さの単結晶シリコンに比べて理論的には $1/5$ 程度のラマン強度しか得られない筈である。しかし、実際のa-Si薄膜では単結晶シリコンのラマン強度を越えており、上述のように 50 nm より大きな散乱体積を事実上作り出しており、かつこの散乱体積の増大が高い $\mu F E$ の実現に寄与してい

るのである。

【0014】図6は、ラマン散乱強度が、単結晶シリコンのそれを越える厚さ 50 nm のポリシリコンおよびこのポリシリコン表面を 5 nm の厚さで薄くエッチングした後のもののラマン強度を示すもので、表面エッチング後は、エッチングする前のラマン強度の $1/3$ に減少し、フォノンの位置も結晶シリコン側に移動している。この結果は、 10% の膜厚の減少がラマン強度を $1/3$ に減少させていることを示しており、ポリシリコンの最表面層がラマン強度ひいては移動度を向上させている源と考えられる。

【0015】図7および図8は、図6に示したポリシリコン膜のエッチング前およびエッチング後の表面の走査電子顕微鏡写真であり、図7はエッチング前の、図8はエッチング後のものである。エッチング前は表面に多数のピラミッド状突起とこれに連なる多数の稜線が観測されるが、エッチング後はピラミッド状突起が消失し、稜線の部分が深い溝となって結晶粒の境界となっていることがわかる。したがって、ラマン散乱強度の大幅な減少はこの表面構造の変化によるものと結論される。

【0016】この現象のより詳細な解析の結果、ラマン強度の増加は、ポリシリコン膜のピラミッド状突起、すなわち凹凸形状と関係していることが判明した。ポリシリコン膜の表面の凹凸の傾斜角がある特定の値よりも大きくなると、膜の真上より入射した光（ラマンプローブ光）は、ポリシリコンの大きな屈折率（ $n=3.5$ ）のため、表面から出ることがなく、界面での完全反射を生じ、ポリシリコン膜内に閉じ込まれることになる。この結果、散乱体積が実質上増大し、結晶シリコンでの値を越えるようになる。この完全反射を生じる入射角を算出すると、 9.6 度以上となり、この角度が上記傾斜角と一致するのであり、本発明において傾斜角を定めたのはこの理由によるのである。

【0017】次に、本発明の表面が凹凸状であるP-Si膜を形成する方法について説明する。まず、絶縁基板1上にアモルファスシリコン膜（以下、a-Si膜と記す。）を形成する。絶縁基板としては、ガラス、石英ガラス、セラミックスが用いられるが、この上に SiO_2 などの絶縁膜を形成したものであってもよい。なお、本発明における絶縁基材とは、これら絶縁基板および絶縁膜を包含するものである。

【0018】a-Si膜を製造する方法は、特に限定されるものではなく、 600°C 以下におけるプラズマCVD法、スパッタ法、LPCVD法の通常の成膜手段を利用することができる。プラズマCVD法を用いてアモルファスシリコン薄膜を製造するには、たとえばシラン（ SiH_4 ）やジシラン（ Si_2H_6 ）等のシラン系ガスを、直流電流にて 2.45 GHz 迄の高電界中で分解させる方法を利用することができる。

【0019】また、スパッタ法を用いる場合には、直流

電流あるいはマグネトロン方式のRF印加スパッタリング法等を利用することができる。その際にターゲットとしては高純度シリコン単結晶および高純度シリコン多結晶等を用いることができ、その雰囲気にはアルゴンあるいは水素添加のアルゴン雰囲気、さらには100%水素雰囲気等を利用することができる。LPCVD法としては、たとえば10 Torr以下の減圧下において加熱された基板上に、シランガスやジシランガス等のシラン系ガスを不活性気体と共に接触せしめる方法が利用できる。上記のいずれの方法においても雰囲気中の酸素含有率を $10^{21}/\text{cm}^3$ 以下望ましくは $10^{20}/\text{cm}^3$ にする必要がある。

【0020】このa-Si膜の厚さは、特に限定されないが、通常10~100nm程度とされる。ついで、このものに必要に応じてパターンニング加工を施し、パターン化することもできる。このうち、このa-Si膜を加熱して結晶化し、P-Si膜とする。この加熱には、紫外光源、例えばArFエキシマレーザ、KrFエキシマレーザ等の紫外域に波長をもち、かつ1パルス当たり150ミリジュール以上のエネルギーを有するパルス型レーザの他、Arイオンレーザ、Krイオンレーザ等の可視および紫外域に波長を有するもの、あるいは炭酸ガスレーザ等の赤外域に波長をもつレーザ、さらにはこの連続発振型レーザのQスイッチ化によるパルス変調型レーザ等を利用することができる。また、加熱には電気炉などの加熱手段を用いることもできるが、エネルギー強度の制御が困難であり、あまり好ましくない。

【0021】このa-Si膜の加熱の際に、a-Si膜に加える熱エネルギーをある範囲(E_0)内に収めることにより、図1に示す表面に凹凸が形成され、 μFE の高いP-Si膜が得られる。このエネルギー E_0 は、a-Si膜の厚さ、平面的な広がり(パターンニング形状)などによって変化し、一義的に定めることはできないが、パターン化された細幅のa-Si膜ではパターン化されていない広いa-Si膜に比べて低いエネルギーで凹凸が形成されたP-Si膜に変化する。また、膜厚が増加すると、より高いエネルギーが必要となる。

【0022】例えば、膜厚が50nmの減圧CVD法で

得られたa-Si膜に、エキシマレーザ(KrF)を大気中、常圧、室温で照射する場合には、照射回数を4回とすると、レーザエネルギーが $250\sim280\text{mJ}/\text{cm}^2$ の範囲で、照射回数を8回とすると、レーザエネルギーが $260\sim290\text{mJ}/\text{cm}^2$ の範囲で、照射回数を16回とすると、エネルギーが $265\sim290\text{mJ}/\text{cm}^2$ の、照射回数を32回とすると、エネルギーが $270\sim290\text{mJ}/\text{cm}^2$ の範囲で処理することによって、図1に示した構造の μFE の高いP-Si膜が得られる。また、レーザ照射条件が減圧下、真空中、雰囲気中でも、エネルギー強度が若干変化するだけで、凹凸を有するP-Si膜が得られることが確認されている。

【0023】そして、このa-Si膜のエキシマレーザなどによる加熱の際に、その膜のラマン分光スペクトル測定を行うことで、相変化したP-Si膜の μFE を測定しながら、加熱条件等を制御し、目的の μFE 値を有するP-Si膜を得ることができる。ラマン分光スペクトル測定は、極めて小さいビーム径のプロブ光を照射することで、即時に測定が実施できるので、加熱中随時P-Si膜の μFE を知ることができ、プロセスモニターとして有効に利用できる。

【0024】本発明で利用可能なラマン分光光度計は光源としてアルゴンイオンレーザ、クリプトンレーザ等の可視から紫外域のレーザを使ったものであって、分光器としては迷光比が 10^{-9} 程度であれば良いが、測定システムとしては光電子増倍管(PM)あるいは固体素子ディテクタ(SSD)を有し、シリコンの光学フォノンである 520cm^{-1} 付近の光強度を高速かつ波長幅広く測定できるものが必要である。

【0025】(実施例)今回実験に用いた出発膜は、 Si_2H_6 原料のLPCVD法で成膜温度を 460°C としたものを用いた。又、基板には合成石英基板、下地膜にはAPCVD(常圧CVD)法による SiO_2 膜300nmを用いた。又、前述の結果を総合し、結晶化パラメータを以下の表に示す値にて薄膜トランジスタ(TFT)の作製を行った。

【0026】

↓【表1】

活性層	LPCVD, a-Si, Si ₂ H ₆ 成膜, 460℃, 50nm
結晶化	KrFエキシマレーザ(248nm), 16pulse, 大気中, 室温 出力=560mJ, ビームサイズ10mm×10mm
ゲート酸化膜	スパッタSiO ₂ , 酸素100%
ゲート層	スパッタa-Si:H, スパッタガス流量比, H ₂ /(Ar+H ₂)=40%
ドーピング	KrFエキシマレーザ, 60pulse, PH ₃ (5%)/H ₂
層間絶縁膜	スパッタSiO ₂ , 酸素100%
水素化	350℃, 大気圧水素アニール, 30min

↑

【0027】図9に、得られたTFTのID-VG特性を示す。電界効果移動度は最大で $160\text{ cm}^2/\text{V} \cdot \text{s}$ を越えた。又、移動度だけでなく閾値電圧3.6V、S値 0.38 V/decade など他の特性においても極めて良好な特性を示した。これは、ラマン分光スペクトルによるプロセスモニターを利用した最適化により、良好な結晶が得られたためであると思われる。

【0028】

【発明の効果】以上説明したように、本発明によれば μFE が $50\text{ cm}^2/\text{V} \cdot \text{s}$ 以上で $150\text{ cm}^2/\text{V} \cdot \text{s}$ を越える高移動度を示すP-Si膜からなる薄膜半導体素子を得ることができる。

【図面の簡単な説明】

【図1】本発明の薄膜半導体素子の一例を模式的に示す断面図である。

【図2】ポリシリコン膜のラマンシフトと電界効果移動度との関係を示したグラフである。

【図3】ポリシリコン膜の半値幅比と電界効果移動度と

の関係を示したグラフである。

【図4】ポリシリコン膜のアモルファスシリコン強度比と電界効果移動度との関係を示したグラフである。

【図5】本発明のP-シリコン膜の傾斜角と移動度とラマン強度との関係を示したグラフである。

【図6】本発明のP-シリコン膜の表面のエッチング前後のラマン強度とラマンシフトの関係を示したグラフである。

【図7】本発明のP-シリコン膜のエッチング前の表面構造を表わす電子顕微鏡写真である。

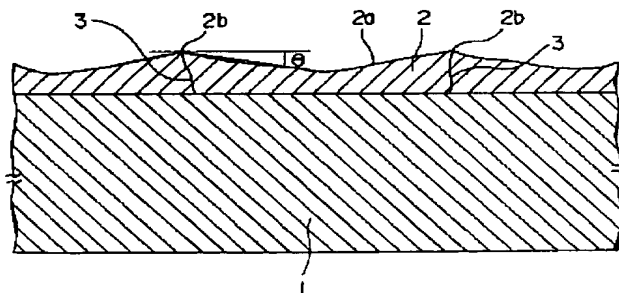
【図8】本発明のP-シリコン膜のエッチング後の表面構造を表わす電子顕微鏡写真である。

【図9】本発明のP-シリコン膜を応用したTFTのID-VG特性を示すグラフである。

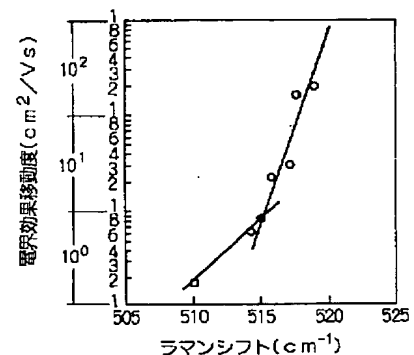
【符号の説明】

- 1 絶縁基板
- 2 P-Si膜

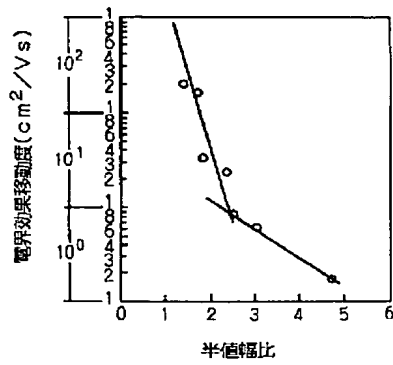
【図1】



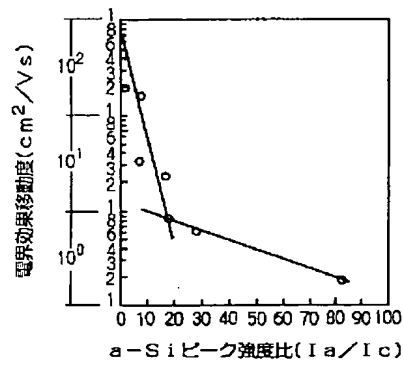
【図2】



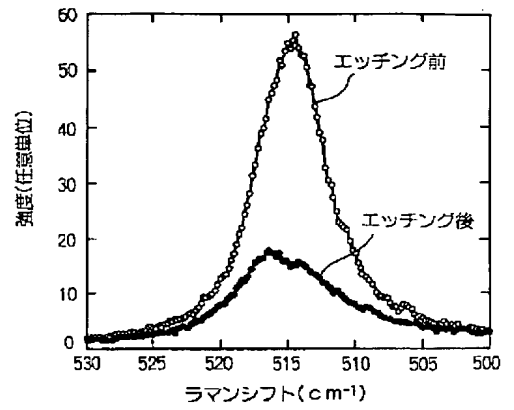
【図3】



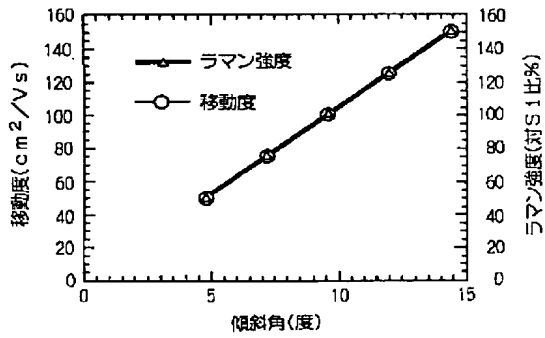
【図4】



【図6】

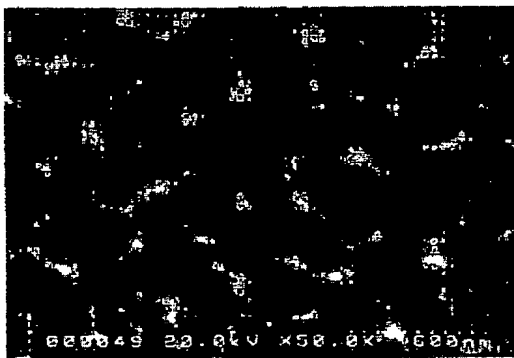


【図5】



【図7】

断面代用写真



【図8】

断面代用写真



【図9】

